



TRANSMITTAL FORM <i>(to be used for all correspondence after initial filing)</i>		Application No.	10/788,550	
		Filing Date	February 27, 2004	
		First Named Inventor	Ho-Uk Song	
		Art Unit		
Total Number of Pages in This Submission		6	Attorney Docket Number	51876P596

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment / Response <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input type="checkbox"/> PTO/SB/08 <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Basic Filing Fee <input type="checkbox"/> Declaration/POA <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): <div style="border: 1px solid black; padding: 5px; margin-top: 10px;">Request for Priority; return postcard</div>
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	3/31/04

CERTIFICATE OF MAILING/TRANSMISSION			
I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.			
Typed or printed name	Melissa Stead		
Signature		Date	3-31-04



FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number 10/788,550
Filing Date February 27, 2004
First Named Inventor Ho-Uk Song
Examiner Name
Art Unit
Attorney Docket No. 51876P596

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below

☐ Credit any overpayments

☒ Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

2. EXTRA CLAIM FEES

Total Claims - 20^{**} = X = Fee Paid

Independent Claims - 3 = X = Fee Paid

Multiple Dependent = Fee Paid

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

^{**}or number previously paid, if greater, For Reissues, see below

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920 *	1804	920 *	Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	
Other fee (specify)					
SUBTOTAL (3)					(\$)

* Reduced by Basic Filing Fee Paid

SUBMITTED BY

Complete (if applicable)

Name (Print/Type)

Eric S. Hyman

Registration No.
(Attorney/Agent)

30,139

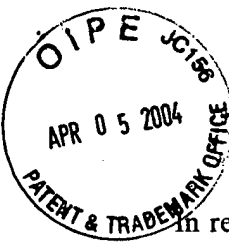
Telephone

(310) 207-3800

Signature

Date

2/31/04



DOCKET NO.: 51876P596

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

HO-UK SONG

Application No.: 10/788,550

Filed: February 27, 2004

For: **Semiconductor Memory Device For
Reducing Address Access Time**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

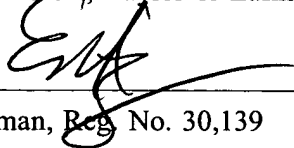
Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-92571	17 December 2003

☒ A certified copy of the document is being submitted herewith.

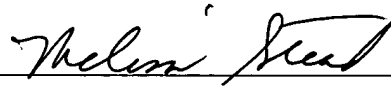
Respectfully submitted,
Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 3/31/04


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Melissa Stead
3-31-04
Date



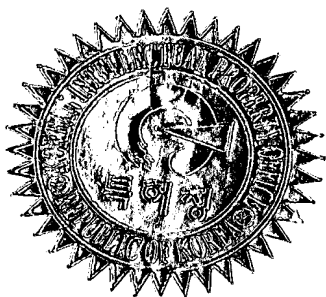
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0092571
Application Number

출원 년 월 일 : 2003년 12월 17일
Date of Application DEC 17, 2003

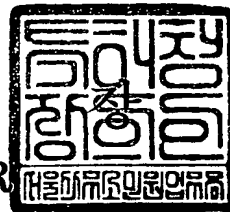
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0007
【제출일자】 2003. 12. 17
【발명의 명칭】 어드레스 액세스타임을 줄일 수 있는 반도체 메모리 장치
【발명의 영문명칭】 SEMICONDUCTOR MEMORY DEVICE FOR REDUCING ADDRESS ACCESS TIME
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【명칭】 특허법인 신성
【대리인코드】 9-2000-100004-8
【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】 2000-049307-2
【발명자】
【성명의 국문표기】 송호욱
【성명의 영문표기】 SONG, Ho Uk
【주민등록번호】 690526-1109115
【우편번호】 467-860
【주소】 경기도 이천시 부발읍 아미리 현대3차아파트 302-208
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 28 면 28,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 17 항 653,000 원
【합계】 710,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 종래의 구조를 그대로 사용하면서도 어드레스 액세스 타임을 줄일 수 있는 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 동기식 메모리 장치에 있어서, 상기 에디티브 레이턴시가 0이 아닌 경우, 리드 또는 라이트 명령에 대응하는 내부컬럼동작을 tRCD 타이밍 이전의 예정된 타이밍에 수행하도록 제어하는 제어수단을 구비하는 동기식 메모리 장치를 제공한다.

【대표도】

도 7

【색인어】

반도체, 메모리, 에디티브 레이턴시, 카스레이턴시, 컬럼어드레스, 프리디코더.

【명세서】**【발명의 명칭】**

어드레스 액세스타임을 줄일 수 있는 반도체 메모리 장치{SEMICONDUCTOR MEMORY DEVICE FOR REDUCING ADDRESS ACCESS TIME}

【도면의 간단한 설명】

도1은 종래기술에 의한 반도체 메모리 장치를 나타내는 블록구성도.

도2는 도1에 도시된 메모리 장치에서 컬럼어드레스 관련블록을 보다 자세히 나타내는 블록구성도.

도3은 도1에 도시된 컬럼어드레스제어부의 일부를 나타내는 회로도.

도4는 도1에 도시된 컬럼액티브래치의 일부를 나타내는 회로도.

도5는 에디티브 레이턴시가 0인 경우 도1에 도시된 메모리 장치의 리드동작을 나타내는 파형도.

도6은 에디티브 레이턴시가 1인 경우 도1에 도시된 메모리 장치의 리드동작을 나타내는 파형도.

도7은 본 발명의 바람직한 실시예에 따른 메모리 장치를 나타내는 블록구성도.

도8a와 8b는 도5에 도시된 메모리 장치에서 컬럼어드레스 관련블록을 보다 자세히 나타내는 블록구성도.

도9는 에디티브 레이턴시가 1인 경우 도6에 도시된 메모리 장치의 리드동작을 나타내는 파형도.

도10는 에디티브 레이턴시가 3인 경우 도6에 도시된 메모리 장치의 리드동작을 나타내는 파형도.

도11은 종래기술에 의한 메모리 장치와 본 발명에 의한 메모리 장치의 어드레스 액세스 타이밍을 비교한 파형도.

도12는 도7에 도시된 컬럼어드레스 제어부의 일례를 나타내는 회로도.

도13은 도7에 도시된 컬럼액티브래치의 일례를 나타내는 회로도.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 컬럼액티브래치

200 : 컬럼어드레스 제어부

300 : 컬럼프리디코더

T1 ~ T12 : 전송게이트

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 어드레스 액세스 타임(Address Access time), tAA)을 줄일 수 있는 메모리 장치에 관한 것이다.

- <20> 반도체 메모리장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리칩 외부에서 주어지는 클록과 동기되어 동작할 수 있는 소위 동기식(Synchronous) 메모리 장치가 등장되었다.
- <21> 처음 제안된 것은 메모리 장치의 외부로부터의 클록의 상승 에지(rising edge)에 동기되어 하나의 데이터 핀에서 클록의 한 주기에 걸쳐 하나의 데이터를 입출력하는 이른바 SDR(single data rate) 동기식 메모리 장치이다.
- <22> 그러나 SDR 동기식 메모리 장치 역시 고속 동작을 요구하는 시스템의 속도를 만족하기에는 불충분하며, 이에 따라 하나의 클록 주기에 두 개의 데이터를 처리하는 방식인 디디알(Double Data Rate,DDR) 동기식 메모리 장치가 제안되었다.
- <23> 디디알 동기식 메모리 장치의 각 데이터 입출핀에서는 외부에서 입력되는 클록의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 연속적으로 두 개의 데이터가 입출력되는 바, 클록의 주파수를 증가시키지 않더라도 종래의 SDR 동기식 메모리 장치에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있어 그 만큼 고속동작이 구현 가능하다.
- <24> 한편, 동작클럭에 동기시켜 동작하는 동기식 메모리 장치를 동작시키기 위해, 전통적인 메모리 장치에는 없던 새로운 몇가지의 동작개념이 추가되었다. 예를 들어 카스레이턴시(CAS Latency), 버스트길이(Burst Length), 에디티브 레이턴시(Additive Latency)등이 있다.
- <25> 카스레이턴시는 리드 또는 라이트 명령어가 메모리 장치에 입력되고 난 후에 , 외부로 데이터가 출력되기까지의 동작클럭수이고, 버스트길이는 한 번의 데이터엑세스로 인해 연속해서 출력되는 데이터의 수를 말한다.

- <26> 에디티브 레이턴시는 디디알 메모리 장치에 도입되는 개념으로서, 메모리 장치가 액티브 상태 이후에 리드 또는 라이트명령어가 입력된 타이밍부터 tRCD(RAS to CAS delay)까지의 클럭수를 말한다. 동기식 메모리 장치는 데이터 액세스를 위해 크게 액티브명령, 리드/라이트명령, 프리차지 명령을 입력받는데, 에디티브레이턴시는 리드/라이트 명령을 정해진 타이밍보다 얼마만큼 더 빨리 받게 되는 것인가에 대한 것이다.
- <27> 예를 들어 에디티브 레이턴시가 2이라고 하면, 메모리 장치에 리드 또는 라이트 명령어가 입력되고 난 후에 2클럭이후 입력된 명령에 대한 동작을 수행하게 되는 것이다. 에디티브레이턴시가 없는 초기의 동기식 메모리 장치의 경우에는 액티브 명령어가 입력되고 난 후에, tRCD 만큼 동작클럭이 지난 이후에 리드 또는 라이트명령어를 입력받아 그에 대응하는 데이터 액세스 동작을 수행하였다.
- <28> 그러나 에디티브레이턴시가 있는 동기식 메모리 장치의 경우에는 액티브 명령어가 입력된 후, tRCD만큼 동작클럭이 지나지 않아도 미리 에디티브레이턴시 만큼 빠른 타이밍에 리드 또는 라이트 명령을 입력받는 것이다.
- <29> 도1은 종래기술에 의한 반도체 메모리 장치를 나타내는 블럭구성도로서, 특히 리드명령을 수행하는 블럭을 중심으로 나타낸 것이다.
- <30> 도1을 참조하여 살펴보면, 종래기술에 의한 메모리 장치는 액티브(Active), 리드(READ), 라이트(WRITE)등의 명령(command)을 입력받아 디코딩하여 로우어드레스 관련 명령어신호인 로우명령어신호(com_Row)와, 컬럼어드레스 관련 명령어신호인 컬럼명령어신호(com_col)를 출력하는 명령어디코더(10)와, 어드레스(Address)를 입력받아 버퍼링하여 출력하는 어드레스버퍼부(20)와, 버퍼링된 어드레스를 래치한 다음 컬럼어드레스(Add_Col)와 로우어드레스(Add_Row)로 분리하여 출력하는 어드레스 레지스터(21)와, 로우명령어신호(com_Row)에 응답하여 로우어드레



스(Add_Row)를 프리디코딩하여 프리디코딩신호(Row_Pre)로 출력하는 로우프리디코더(31)와, 프리디코딩신호(Row_Pre)를 디코딩하여 출력하기 위한 로우디코더(32)와, 컬럼명령어신호(Com_Col) 및 에디티브레이턴시(AL)에 응답하여 리드 또는 라이트동작에 관련된 내부제어신호인 내부명령어신호(Com_int)를 출력하는 컬럼액티브래치(11)와, 컬럼어드레스(Add_Col)를 입력받아 래치하고, 카운팅하여 내부컬럼어드레스(Col_int)를 출력하는 컬럼어드레스 제어부(41)와, 내부컬럼어드레스(Col_int)를 프리디코딩하여 프리디코딩신호(Col_Pre)로 출력하는 컬럼프리디코더(42)와, 프리디코딩신호(Col_Pre)를 디코딩하여 YI신호를 출력하는 컬럼디코더(43)와, 다수의 단위셀을 각각 구비하는 4개의 뱅크(뱅크0 ~ 뱅크3)와, 뱅크의 단위셀에 저장된 데이터신호를 감지증폭하기 위한 센스앰프부와, 센스앰프부에 의해 감지증폭된 데이터를 프리패치하기 위한 프리패치부(70)와, 프리패치된 데이터를 출력하기 위한 데이터 출력버퍼(80)을 구비한다.

<31> 또한, 메모리 장치는 데이터스트로브 신호(DQS)를 출력하기 위한 DQS버퍼(90)와, 지연고정된 클럭을 출력하는 지연고정루프(60)와, 메모리 장치의 여러 동작에 관한 셋팅신호를 저장하는 모드레지스터(50)를 구비한다.

<32> 데이터스트로브 신호(DQS)는 디디알 메모리 장치인 경우 사용하는 신호로서, 데이터가 출력되는 타이밍에 동기면서 클럭킹되어 출력되는 신호이다. 지연고정루프(60)는 데이터가 외부에서 메모리 장치에 입력되는 외부동작클럭에 정확하게 동기되어 출력될 수 있도록 지연고정된 내부동작클럭을 출력하는 회로이다. 모드레지스터(50)는 버스트길이 또는 에디티브 레이턴시등의 정보를 저장하기 위한 것이다. 여기서 BS신호는 뱅크선택신호이다. 도1에는 하나의 디코더만 표기되었으나 동기식 메모리 장치의 경우에 실제로는 각 뱅크마다 로우디코더와 컬럼디코더



를 구비하여 있기 때문에, 입력된 어드레스에 따라 선택된 뱅크에 대응하는 로우디코더와 컬럼 디코더를 선택해야 한다.

- <33> 또한, 컬럼어드레스제어부(41)는 컬럼어드레스를 입력받아, 버스트길이 및 데이터출력모드($\times 4, \times 8, \times 16$), 디디알 메모리인 경우에는 짝수데이터와 홀수데이터에 따라 컬럼어드레스를 카운팅하여 내부컬럼어드레스를 출력하는 역할을 한다.
- <34> 도2는 도1에 도시된 메모리 장치에서 컬럼어드레스 관련블록을 보다 자세히 나타내는 블록구성도이다.
- <35> 도2를 참조하여 살펴보면, 컬럼프리디코더(42)는 컬럼어드레스를 프리디코딩하여 위한 프리디코더(42_1)와, 리페어된 어드레스를 비교하는 어드레스 비교부(42_1)를 구비하고 있다.
- <36> 컬럼프리디코더(42)는 컬럼액티브래치(11)에서 출력되는 내부명령어신호(Com_int)에 응답하여 내부컬럼어드레스(Col_int)를 입력받아 리페어된 어드레스인지 비교하여 리페어 되지 않은 어드레스라면 노멀프리디코더에서 내부컬럼어드레스(Col_int)를 프리디코딩하여 프리디코딩신호(Col_Pre)를 출력한다.
- <37> 한편, 리페어 어드레스비교부(42_2)의 비교결과에 의해 리페어된 어드레스로 판단되면, 리페어용 프리디코더에서 프리디코딩하여 프리디코딩신호(Col_Pre)를 출력한다. 메모리 장치는 제조공정상 발생하는 에러에 대비하여 여분의 예비셀을 더 구비하고 있으며, 리페어 공정에서 에러가 발견된 노멀셀을 예비셀로 대체하는 공정을 수행한다. 실제 동작에서는 리페어된 어드레스가 입력되면, 디코딩을 별도로 하여 대체된 예비셀에서 데이터 액세스가 되도록 하고 있다.
- <38> 도3은 도1에 도시된 컬럼어드레스제어부(41)의 일부를 나타내는 회로도이다.

- <39> 도3을 참조하여 살펴보면, 컬럼어드레스제어부(41)는 직렬연결된 다수의 래치(41_1 ~ 41_6)을 구비하여, 쌍으로 입력된 컬럼어드레스신호(Add_Col, /Add_Col)가 순차적으로 클럭신호(CLK_DELAY)에 동기되어 직렬연결된 다수의 래치(41_1 ~ 41_6)로 전달되도록 되어 있다. 전달되는 컬럼어드레스는 2개의 래치마다 전송게이트(T2 ~ T4)를 통해 출력되도록 구성되어 있다. 전송게이트(T1 ~ T4)는 에디티브레이턴시(AL0 ~ AL3)에 따라 선택적으로 턴온되어 컬럼어드레스 제어부(41) 내에서 컬럼어드레스가 래치되는 타이밍을 결정하게 된다.
- <40> 예를 들어 에디티브레이턴시가 2인 경우에는 전송게이트(T3)가 턴온되어, 입력된 어드레스(Add_Col, /Add_Col)가 네개의 래치(41_1 ~ 41_4)에 의해 순차적으로 래치된 후에 내부컬럼어드레스(Col_int)로 출력하게 된다. 네개의 래치(41_1 ~ 41_4)를 통과하는 동안이 2주기의 클럭에 해당되는데, 에디티브 레이턴시가 2인 경우에는 입력된 어드레스는 일단 래치된 후에 2클럭 이후에 컬럼프리디코더(42)로 출력되어야 하기 때문이다. 만약 에디티브레이턴시가 0인 경우에는 지연없이 바로 어드레스가 출력되어야 하기 때문에 전송게이트(T1)이 턴온되도록 되어 있다.
- <41> 도4는 도1에 도시된 컬럼액티브래치(11)의 일부를 나타내는 회로도로서 특히 내부리드 명령어신호(READ_int)를 출력하기 위한 회로도이다. 여기서 내부리드 명령어신호(READ_int)는 리드동작에 대응하는 내부명령어신호(Com_int)를 말하는 것이다.
- <42> 도4를 참조하여 살펴보면, 컬럼액티브래치(11)는 직렬연결된 다수의 래치(11_1 ~ 11_6)를 구비하여 리드명령에 대응하는 신호(rd)를 순차적으로 래치하여 전달한다. 각 래치의 출력은 전송게이트(T6 ~ T8)를 통해 내부리드 명령어신호(READ_int)로 출력되는데, 전송게이트(T6 ~ T8)는 에디티브 레이턴시에 따라 선택적으로 턴온되어 컬럼액티브래치(11)의 회로 내에서 리

드명령에 대한 신호(rd)가 래치되는 타이밍을 결정하게 된다. 만약 에디티브레이턴시가 0인 경우에는 전송게이트(T5)가 턴온되어 지연없이 내부명령어신호(Com_int)로 출력하게 된다.

<43> 여기서 리드명령에 대응하는 신호(rd)는 카스신호(CAS_DELAY), 라스신호(RAS_DELAY), 칩선택신호(CS_DELAY), 라이트인에이블신호(WE_DELAY)등을 조합하여 리드명령을 실행시키기 위해 컬럼어드레스 제어부(200)의 내부에서 생성되는 신호이다.

<44> 도5는 에디티브 레이턴시가 0인 경우 도1에 도시된 메모리 장치의 리드동작을 나타내는 파형도이다.

<45> 도5에 도시된 동작파형도는 카스레이턴시가 5클럭이고, tRCD는 5클럭이며, 프리차지명령도 tRCD 이후 5클럭이며, 버스트길이는 8이고, 한 클럭의 주기는 3n인 경우를 나타내고 있다. 에디티브레이턴시는 0인 경우를 나타내고 있다.

<46> 메모리 장치가 한번의 데이터 리드동작을 위해서는 액티브명령(ACT)과, 리드명령(READ)과, 프리차지명령(PRE)을 차례로 입력받아야 한다. 액티브명령(ACT)에 의해 메모리 장치는 로우어드레스를 입력받아 워드라인을 활성화시키고, 활성화된 워드라인에 대응하는 다수의 단위 셀 데이터를 감지증폭시킨다.

<47> 이어서 리드명령(READ)에 의해 컬럼어드레스를 입력받아 프리디코딩과 디코딩을 수행하여, 감지증폭된 다수의 데이터중 액세스될 데이터를 선택하여 외부로 출력시킨다. 이어서 프리차지명령(PRE)에 의해 감지증폭된 데이터를 제거하게 된다.

<48> 따라서 리드명령(READ)에 대한 동작은 액티브명령(ACT)이후에 tRCD만큼의 클럭후에 실행이 되는데, 이 타이밍부터 컬럼액티브래치(11)가 동작하여 리드명령(Read)에 대응하는 동작을 제어하기 위한 내부리드 명령어신호(READ_int)를 생성하여 출력한다.

- <49> 이어서 컬럼어드레스 제어부(41)와, 컬럼프리디코더(42)가 동작하여 프리디코딩신호(Col_Pre)를 생성하여 출력하고, 컬럼디코더(43)는 프리디코딩신호(Col_Pre)를 디코딩하여 YI신호를 출력하게 된다. 센스앰프부는 감지증폭되어 있던 데이터중 YI신호에 의해 선택된 데이터를 출력하게 된다.
- <50> 도5에는 액티브명령후에 tRCD에 해당되는 5클럭이 지난후에 입력된 리드명령(READ)에 대하여 내부리드 명령어신호(READ_int)가 생성되고, 내부리드 명령어(READ_int)에 의해 YI신호가 생성되고, YI신호와 데이터경로 제어신호(Data Path control)에 의해 데이터가 출력되는 것이 도시되어 있다. 여기서 데이터경로 제어신호(Data Path control)는 내부리드 명령어신호(READ_int)에 응답하여 데이터가 정해진 타이밍(카스레이턴시가 5이므로 5번째 클럭이후)에 출력될 수 있도록 프리패치부(70)와 데이터 출력버퍼부(80)를 제어하기 위한 다수의 제어신호를 하나로 표현한 것이다.
- <51> 도5에 도시된 바와 같이, 에디티브레이턴시가 0인 경우에는 에디티브레이턴시가 없던 동기식 메모리 장치와 마찬가지로 액티브명령이 입력된 후에 tRCD만큼의 클럭이 지난후에 리드명령을 입력받아 그에 대응하는 동작을 수행한다.
- <52> 도6는 에디티브 레이턴시가 1인 경우 도1에 도시된 메모리 장치의 리드동작을 나타내는 파형도이다.
- <53> 도6에 도시된 바와 같이, 에디티브 레이턴시가 1인 경우에는 리드명령(READ)이 tRCD에 해당되는 타이밍에 입력되는 것이 아니라 에디티브 레이턴시만큼 앞선타이밍에 리드명령(READ)이 입력된다. 도6에는 에디티브 레이턴시가 1인 관계로 tRCD의 5클럭보다 한클럭 앞에서 리드명령(READ)이 입력되고 있다.

- <54> 에디티브 레이턴시를 두는 이유는 메모리 장치를 제어하는 칩셋이 메모리 장치로 정해진 타이밍보다 미리 리드명령어를 출력하고, 나머지 동안에 다른 동작을 수행할 수 있는 장점을 가지기 위해서이다. 그러나 메모리 장치의 입장에서는 에디티브레이턴시로 인하여 동작속도가 더 빨라지는 효과는 없다.
- <55> 한편, 기술이 점점 더 발달하면서 메모리 장치는 더 고속으로 동작하도록 요구받고 있다. 메모리 장치의 동작속도를 높이기 위해서는 클럭주파수를 높이는 방법이 가장 쉽게 할 수 있는 방법이다.
- <56> 그러나, 메모리 장치는 기본적으로 어드레스를 입력받아 디코딩하여 단위셀을 선택하는데 시간과, 선택된 단위셀의 데이터를 외부로 출력하는데 시간이 걸리게 된다. 따라서 클럭주파수가 높게 되면, 매 클럭주기마다 입력된 어드레스를 처리하여 어드레스를 출력할 수 없기 때문에 여러 클럭에 나누어 한번의 데이터 액세스를 수행해야만 한다.
- <57> 어드레스에 관한 처리시간을 어드레스 액세스타이밍(t_{AA})이라고 하는데, 현재의 기술로는 대체로 어드레스 액세스타이밍(t_{AA})이 15ns 정도 된다. 따라서 만약 200MHz로 동작하는 메모리 장치의 경우 동작클럭 한주기는 5n가 되어, 어드레스 액세스타이밍(t_{AA})을 위해 약 3클럭을 기다려야 하는 것이다.
- <58> 결국 어드레스엑세스 타이밍(t_{AA})은 어드레스를 입력받아 디코딩하여 뱅크에 구비되는 다수의 단위셀중 대응하는 단위셀을 선택하기까지의 시간인데, 어드레스 액세스 타이밍(t_{AA})을 줄이기 위해서는 구동전압을 높이든지, 메모리 장치의 회로를 구성하는 모스트랜지스터의 물성적 특성이 향상되어야 한다.

<59> 그러나, 구동전압을 높이면, 어드레스 액세스 타이밍(tAA)은 줄일 수 있으나 소비전력이 증가하여 저전압 반도체 메모리 장치에 적용할 수 없다. 또한, 회로를 구성하는 기본레벨인 모스트랜지스터의 물성적 특성을 높이는 것은 장기간의 개발기간이 필요하며, 현재의 반도체 기술로 모스트랜지스터의 물성적 특성을 높이는 것이 결코 쉽지 않은 문제점을 가지고 있다.

【발명이 이루고자 하는 기술적 과제】

<60> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로, 종래의 구조를 그대로 사용하면서도 어드레스 액세스 타임을 줄일 수 있는 메모리 장치를 제공함을 목적으로 한다.

【발명의 구성 및 작용】

<61> 본 발명은 상기의 과제를 달성하기 위해 에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 동기식 메모리 장치에 있어서, 상기 에디티브 레이턴시가 0이 아닌 경우, 리드 또는 라이트 명령에 대응하는 내부컬럼동작을 tRCD 타이밍 이전의 예정된 타이밍에 수행하도록 제어하는 제어수단을 구비하는 동기식 메모리 장치를 제공한다.

<62> 또한 본 발명은 에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 동기식 메모리 장치에 있어서, 리드 또는 라이트명령에 대응하는 내부동작을 제어하기 위한 내부명령어신호를 출력하되, 상기 에디티브 레이턴시가 0이 아닌 경우 tRCD 타이밍 이전의 예정된 타이밍에 상기 내부명령어신호를 출력하는 컬럼액티브래치; 컬럼어드레스를 입력받아 카운팅하여 내부컬럼어드레스를 출력하되, 상기 에디티브 레이턴시가 0이 아닌경우 상기 tRCD 타이밍 이전



의 예정된 타이밍에 내부컬럼어드레스를 출력하는 컬럼어드레스 제어부; 상기 내부명령어신호에 응답하여, 상기 내부컬럼어드레스를 프리디코딩한 프리디코딩신호를 출력하는 컬럼프리디코더; 및 상기 프리디코딩신호를 디코딩하여 출력하는 컬럼메인디코더를 구비하는 동기식 메모리 장치를 제공한다.

<63> 또한 본 발명은 에디티브 레이턴시를 가지는 메모리 장치의 구동방법에 있어서, 로우액티브명령에 대응하여 로우액티브동작을 수행하는 단계; 및 에디티브 레이턴시가 1이 아닌 경우, 리드 또는 라이트 명령에 대응하는 내부컬럼동작을 tRCD 타이밍 이전의 예정된 타이밍부터 수행하는 단계를 포함하는 메모리 장치의 구동방법을 제공한다.

<64> 또한 본 발명은 에디티브 레이턴시를 가지는 메모리 장치의 구동방법에 있어서, 액티브명령에 대응하여 메모리 장치를 액티브시키는 단계; 에디티브 레이턴시가 1이상인 경우, 리드 또는 라이트 명령에 대응하는 내부명령어 신호를 tRCD 타이밍 이전의 예정된 타이밍에 생성하는 단계; 에디티브 레이턴시가 1이상인 경우, 컬럼어드레스를 카운팅한 내부컬럼어드레스를 상기 tRCD 타이밍 이전의 예정된 타이밍에 생성하는 단계; 상기 내부 명령어 신호에 응답하여 상기 내부컬럼어드레스를 프리디코딩하는 단계; 및 상기 프리디코딩된 컬럼어드레스를 디코딩하는 단계를 포함하는 동기식 메모리 장치의 구동방법을 제공한다.

<65> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

<66> 도7은 본 발명의 바람직한 실시예에 따른 메모리 장치를 나타내는 블록구성도이다.



<67> 도7을 참조하여 살펴보면, 본 실시예에 따른 메모리 장치는 명령어(command)를 입력받아 디코딩하여 로우어드레스 관련 명령어신호인 로우명령어신호(Com_Row)와, 컬럼어드레스 관련 명령어신호인 컬럼명령어신호(Com_col)를 출력하는 명령어 디코더(10)와, 어드레스(Address)를 입력받아 버퍼링하여 출력하는 어드레스버퍼부(20)와, 버퍼링된 어드레스를 래치한 다음 컬럼 어드레스(Add_Col)와 로우어드레스(Add_Row)로 분리하여 출력하는 어드레스 레지스터(21)와, 로우명령어신호(Com_Row)에 응답하여 로우어드레스(Add_Row)를 프리디코딩하여 프리디코딩신호(Row_Pre)로 출력하는 로우프리디코더(31)와, 프리디코딩신호(Row_Pre)를 디코딩하여 출력하기 위한 로우디코더(32)와, 다수의 단위셀을 각각 구비하는 4개의 뱅크(뱅크0 ~ 뱅크3)와, 뱅크의 단위셀에 저장된 데이터신호를 감지증폭하기 위한 센스앰프부와, 센스앰프부에 의해 감지증폭된 데이터를 프리패치하기 위한 프리패치부(70)와, 프리패치된 데이터를 출력하기 위한 데이터 출력버퍼(80)와, 리드 또는 라이트명령에 대응하는 내부동작을 제어하기 위한 내부명령어신호(Com_int)를 출력하되, 에디티브 레이턴시가 0이 아닌 경우 tRCD 타이밍 이전의 예정된 타이밍에 내부명령어신호(Com_int)를 출력하는 컬럼액티브래치(100)와, 컬럼어드레스(Add_Col)를 입력받아 카운팅하여 내부컬럼어드레스(Col_int)를 출력하되, 에디티브 레이턴시가 0이 아닌경우 tRCD 타이밍 이전의 예정된 타이밍에 내부컬럼어드레스(Col_int)를 출력하는 컬럼어드레스 제어부(200)와, 내부명령어신호(Com_int(1))에 응답하여, 내부컬럼어드레스(Col_int(1))를 프리디코딩한 프리디코딩신호(Col_Pre)를 출력하는 컬럼프리디코더(300)와, 프리디코딩신호(Col_Pre)를 디코딩하여 출력하는 컬럼메인디코더(43)를 구비한다. 또한, 메모리 장치는 데이터스트로브 신호(DQS)를 출력하기 위한 DQS버퍼(90)와, 지연고정된 클럭을 출력하는 지연고정 루프(60)와, 메모리 장치의 동작에 관한 셋팅신호를 저장하는 모드레지스터(50)를 구비한다.

- <68> 여기서 tRCD 타이밍 이전의 예정된 타이밍이라고 하는 것은 tRCD 타이밍 이전의 한클럭을 기준으로 한다. tRCD 타이밍이라고 하는 것은 메모리 장치가 액티브명령을 입력받아 액티브 관련 동작이 수행된 이후 리드 또는 라이트명령에 대응하는 내부컬럼동작을 수행하기까지의 시간을 말한다.
- <69> 액티브상태라는 것은 워드라인을 활성화시키고, 활성화된 워드라인에 대응하는 단위셀의 데이터를 감지증폭하는 동작을 말하며, 액티브관련 동작이 끝나야 리드 또는 라이트 명령에 대응하는 내부컬럼동작이 수행 되는데, 전술한 tRCD 타이밍은 액티브 명령이후 리드 또는 라이트 명령에 대응하는 내부컬럼동작이 수행되기 까지의 시간을 말하는 것이다.
- <70> 또한, 도7의 컬럼액티브래치(100)에서 출력되는 내부명령어신호(Com_int(1))과 컬럼어드레스 제어부(200)에서 출력되는 내부컬럼어드레스(Col_int(1))와, 프리디코더(300)에서 출력되는 프리디코딩신호(Col_Pre(1))는 에디티브레이턴시가 0인 경우에 출력되는 신호이며, 컬럼액티브래치(100)에서 출력되는 내부명령어신호(Com_int(2))과 컬럼어드레스 제어부(200)에서 출력되는 내부컬럼어드레스(Col_int(2))와, 프리디코더(300)에서 출력되는 프리디코딩신호(Col_Pre(2))는 에디티브레이턴시가 0이 아닌 경우, 즉 1,2,3,... 등일 때 출력되는 신호이다.
- <71> 여기서 컬럼액티브래치(100)와 컬럼어드레스제어부(200)와 프리디코더(300)에서 하나의 출력라인을 구비하여, 에디티브 레이턴시가 0인 경우와 0이 아닌 경우 서로 다른 타이밍에 각각 상기의 신호들(Com_int(1),Col_int(1),Col_Pre(1), Com_int(2),Col_int(2),Col_Pre(2))을 출력할 수 있다.
- <72> 또한, 컬럼액티브래치(100)와 컬럼어드레스제어부(200)와 프리디코더(300)가 각각 2개의 출력라인을 구비하여, 에디티브 레이턴시가 0인 경우의 출력신호



(Com_int(1),Col_int(1),Col_Pre(1))와, 에디티브 레이턴시가 0이 아닌 경우의 출력신호 (Com_int(2),Col_int(2),Col_Pre(2))를 구분하여 출력시킬 수도 있다.

<73> 도8은 도5에 도시된 메모리 장치에서 컬럼어드레스 관련블럭(100,200,300)을 보다 자세히 나타내는 블럭구성도로서, 특히 컬럼액티브래치(100)에서 2개의 출력라인을 통해 에디티브 레이턴시가 0인 경우의 출력신호(Com_int(1))와, 에디티브 레이턴시가 0이 아닌 경우의 출력신호(Com_int(2))를 구분하여 출력시키는 경우이다.

<74> 도8a를 참조하여 살펴보면, 컬럼액티브래치(100)는 에디티브 레이턴시가 0인 경우에 tRCD타이밍에 내부명령어신호(Com_int(1))를 출력하기 위한 제1 명령어생성부(110)와, 에디티브 레이턴시가 0이 아닌 경우에 tRCD 타이밍이전의 예정된 타이밍에 내부명령어신호(Com_int(2))를 출력하기 위한 제2 명령어생성부(120)를 구비한다.

<75> 또한, 제2 명령어생성부(120)에서 출력되는 내부명령어신호(Com_int(2))를 tRCD 타이밍 이전의 예정된 타이밍보다 적은 타이밍, 즉 한클럭보다 적은 시간을 지연시켜 컬럼프리디코더(300)로 출력하는 지연부(400)를 더 구비한다. 예를 들어 한클럭을 3n라고 한다면, 지연부(400)가 지연시키는 시간은 한클럭보다 작은 시간인 1n정도를 지연시킬 수 있는데, 본 실시예는 tRCD타이밍보다 한클럭 빠르게 내부컬럼동작을 수행하므로 3n만큼 더 빠르게 내부컬럼동작이 이루어지게 된다.

<76> 이 때 확보한 3n정도의 시간여유를 통해 컬럼프리디코더(300)에서 동작상의 마진을 줄 수 있는데, 지연부를 구비하여 컬럼프리디코더(300)로 입력되는 내부명령어신호(Com_int)를 지연시켜 입력시킴으로서, 컬럼프리디코더에서의 타이밍에러를 줄여줄 수 있게 된다. 또한, 이 때 확보한 3n정도의 시간여유를 데이터패스에서의 타이밍에러 및 액세스 타임개선(tAC)등에 사

용하게 되면, 전체적인 동작에 여유가 생겨 메모리 장치가 전체적으로 안정적으로 동작할 수 있고, 이로 인하여 메모리 장치의 수율을 향상시킬 수 있다.

<77> 현재는 동작 주파수와 기타 스펙을 맞추기 위해서 메모리 장치의 각 회로부분에 동작상의 마진이 거의 없는 상태로 설계되는데, 본 실시예에 따라 3n정도 확보된 시간여유를 마진이 가장없는 회로부분에 사용하게 되면, 보다 안정적인 메모리 장치를 제조할 수 있는 것이다.

<78> 또한, 컬럼어드레스 제어부(200)는 에디티브 레이턴시가 0인 경우에, 컬럼어드레스(Add_Col)를 지연없이 내부컬럼어드레스(Col_int(1))로 출력시키는 제1 어드레스 전송부(210)와, 에디티브 레이턴시가 0이 아닌 경우에, tRCD 타이밍 이전의 예정된 타이밍에 컬럼어드레스(Add_Col)를 내부컬럼어드레스(Col_int(2))로 출력시키기 위한 제2 어드레스 전송부(220)를 구비한다.

<79> 컬럼프리디코더(300)는 내부컬럼어드레스(Col_int(1) 또는 Col_int(2))가 리페어된어드레스인지 판단하기 위한 리페어 어드레스 비교부(330)와, 내부컬럼어드레스(Col_int(1), Col_int(2))를 입력받아 프리디코딩하는 노멀프리디코더(310)와, 리페어어드레스 비교부(330)에 의해 내부컬럼어드레스(Col_int(1), Col_int(2))가 리페어된 어드레스인 경우 내부컬럼어드레스(Col_int(1), Col_int(2))에 대응하여 대체된 리페어어드레스를 프리디코딩하기 위한 리페어프리디코더(320)를 구비하여, 노멀프리디코더(310)와 리페어프리디코더(320)는 제1 명령어생성부(110)에서 출력되는 내부명령어신호(Com_int(1)) 또는 제2 명령어생성부(120)에서 출력되는 내부명령어신호(Com_int(2))에 응답하여 프리디코딩을 수행한다.

<80> 도8b는 도5에 도시된 메모리 장치에서 컬럼어드레스 관련블럭(100,200,300)을 다른 형태로 나타낸 것으로서, 컬럼액티브래치에서는 하나의 출력라인을 통해 에디티브 레이턴시가 0인 경우의 출력신호(Com_int(1))와, 에디티브 레이턴시가 0이 아닌 경우의 출력신호(Com_int(2))



를 출력시키는 경우이다. 이 경우에는 컬럼프리디코더(300)에서 에디티브레이턴시(AL)에 대한 정보를 입력받아야 한다.

<81> 도8b에 도시된 바와 같이, 내부명령어신호(Com_int(1),Com_int(2))를 하나의 신호로 입력받을 수 있는데, 이 경우에는 컬럼프리디코더(300)는 에디티브레이턴시(AL)에 대한 정보를 입력받아, 에디티브레이턴시가 0인 경우와 0이 아닌 경우에 각각 서로 다른 타이밍에 프리디코딩신호(Col_Pre(1),Col_Pre(2))를 출력하게 된다.

<82> 도9내지 도11은 본 실시예에 따른 동기식 메모리 장치의 동작을 나타내는 파형도이다. 이하 도7 내지 도11을 참조하여 본 실시예에 따른 동작을 살펴본다.

<83> 본 실시예에 따른 메모리 장치는 에디티브 레이턴시가 0인 경우와 0이 아닌 경우에 서로 다른 타이밍에 내부명령어신호(Com_int(1),Com_int(2))를 생성하게 된다. 에디티브 레이턴시가 0인 경우에는 종전과 같은 타이밍인 tRCD타이밍에 내부명령어신호(Com_int(1))를 생성하여 출력시키며, 에디티브 레이턴시가 0이 아닌 경우에는 tRCD 타이밍보다 한클럭앞을 기준으로 해서 내부명령어신호(Com_int(2))가 생성되어 출력된다. 따라서 에디티브 레이턴시가 0이 아닌 경우에는 약 한클럭에 해당되는 시간만큼 더 빠르게 내부명령어신호(Com_int(2))가 생성되는 것이다.

<84> 회로의 간편성을 위해서 tRCD 타이밍보다 한클럭앞을 기준으로 해서 동작시키는 것으로 하였으나, 경우에 따라서는 각각의 에디티브 레이턴시에 따라 서로 다른 타이밍에 동작시킬 수도 있다. 예를 들어 에디티브 레이턴시가 2이상인 경우 tRCD 타이밍보다 두클럭앞을 기준으로 해서 내부명령어신호를 생성시킬 수 있는 것이다.



- <85> 도9는 에디티브 레이턴시가 1인 경우 도6에 도시된 메모리 장치의 리드동작을 나타내는 파형도이다. 여기서 내부리드 명령어신호(Read_int)는 전술한 내부명령어신호(Com_int)의 리드 명령에 대응하는 신호로서 이하에서는 내부리드 명령어신호(Read_int)를 중심으로 설명한다.
- <86> 도9에 도시된 바와 같이, 에디티브 레이턴시가 1인 경우 tRCD 타이밍보다 한클럭이전에 입력되는 리드명령(READ)에 대응하여 내부리드 명령어신호(Read_int)를 tRCD 타이밍까지 기다린 다음 생성하는 것이 아니라, 리드명령(READ)에 대응하여 바로 생성하는 것이다. 따라서 약 한클럭정도의 시간만큼 더 빠르게 내부리드 명령어신호(Read_int)가 생성되는 것이다.
- <87> 또한 도시되지는 않았지만 컬럼어드레스 제어부(200)도 tRCD 타이밍보다 한클럭 더 빠르게 입력된 컬럼어드레스(Add_Col)를 지연없이 바로 내부컬럼어드레스(Col_int(2))로 생성하여 컬럼프리디코더(300)로 출력하게 된다.
- <88> 따라서 컬럼프리디코더(300)는 종래보다 더 빠른타이밍에 내부리드 명령어신호(Read_int)에 응답하여 내부컬럼어드레스(Col_int(2))를 프리디코딩하여 컬럼디코더(43)로 출력하게 된다.
- <89> 이어서 컬럼디코더(43)는 프리디코딩된 신호(Col_Pre)를 입력받아 디코딩하여 비트라인을 선택하기 위한 YI신호를 출력한다.
- <90> 센스앰프부에 감지증폭된 다수의 데이터중에서 YI신호에 의해 선택된 데이터가 프리패치부(70)로 출력되고, 프리패치부(70)로 입력된 데이터는 데이터 출력버퍼(80)를 통해 외부로 출력된다. 이 때 내부리드 명령어신호(Read_int)에 의해 생성된 데이터 경로 제어신호(Data Path control)에 의해 프리패치부(70)와 데이터 출력버퍼(80)는 제어된다.

- <91> 따라서 본 실시예에 따른 메모리 장치는 내부컬럼동작을 종래보다 한클럭 더 빠르게 수행할 수 있으며, 이는 입력된 컬럼어드레스를 프리디코딩 및 디코딩하는데 있어서 더 빠르게 할 수 있다는 것을 의미한다. 즉 어드레스 액세스타임(t_{AA})이 약 한클럭정도 줄어드는 효과를 가질 수 있는 것이다.
- <92> 도10는 에디티브 레이턴시가 3인 경우 도1에 도시된 메모리 장치의 리드동작을 나타내는 파형도이다.
- <93> 도10에 도시된 바와 같이 에디티브 레이턴시가 3인 경우에는 t_{RCD} 타임보다 3클럭 이전에 리드명령(READ)이 입력되는데, 종래의 경우에는 입력된 리드명령(READ)을 3클럭동안 래치시킨 후에 내부명령어신호(Com_int)를 생성하여 출력하였다. 그러나, 본 실시예에 따른 메모리 장치는 2클럭동안만 래치시킨 후인 t_{RCD} 타이밍의 이전 한클럭을 기준으로 내부리드 명령어신호($Read_int$)를 생성하여 출력하게 된다. 이후의 동작은 도9에 도시된 파형을 설명할 때와 같은 동작을 수행하게 된다.
- <94> 여기서도 종래보다 내부컬럼동작을 한클럭 앞서서 하게 되므로 종래보다 어드레스 액세스타임(t_{AA})을 한클럭 줄일 수 있게 된다.
- <95> 도11 종래기술에 의한 메모리 장치와 본 발명에 의한 메모리 장치의 어드레스 액세스타임을 비교하여 나타내는 파형도로서, 카스레이턴시가 5인 경우를 나타낸 것이다.
- <96> 도11을 참조하여 살펴보면, 종래기술에 의한 동기식 메모리 장치의 내부에서 생성되는 내부명령어신호(Com_int)에 비해 본 실시예에 따른 동기식 메모리 장치의 내부에서 생성되는 내부명령어신호(Com_int)가 약 한클럭 정도 앞서서 생성되고는 것을 알 수 있다. 그로 인하여 프리디코딩신호(COL_Pre)와 YI신호도 더 빠른 타이밍에 생성된다.

<97> 따라서 데이터가 외부로 출력되는 타이밍은 종래기술에 의한 동기식메모리 장치와 본 실시예에 따른 동기식 메모리 장치가 같다 하더라도 내부적으로 어드레스를 디코딩하는 처리하는 시간이 본 실시예에 따른 메모리 장치가 훨씬 더 큰 마진을 확보할 수 있음을 알 수 있다. 여기서 Gio는 데이터가 전달되는 글로벌비트라인에 인가되는 구간을 말하고, RDO와 DO는 데이터의 출력부에 머무르는 시간을 말한다.

<98> 종래기술에 의해서는 최대 $15n$ 의 어드레스 액세스타이밍(t_{AA})을 가지는 동기식 메모리 장치를 개발하는 것이 가능하였으나, 본 발명에 의해서 $12n$ 어드레스 액세스타이밍(t_{AA})을 메모리 장치를 개발하는 것이 가능해졌다.

<99> 도12는 도7에 도시된 컬럼어드레스 제어부를 실제로 회로로 꾸민 일예를 나타내는 것으로, 특히 에디티브 레이턴시가 0에서 3까지 있는 경우를 나타낸 것이다.

<100> 도12를 참조하여 살펴보면, 컬럼어드레스 제어부(200)는 에디티브레이턴시가 0 또는 1인 경우(AL0, AL1), 컬럼어드레스(Add_Col)를 지연없이 내부컬럼어드레스(Col_int)로 출력하기 위한 전송게이트(T8)과, 클럭신호의 천이마다 컬럼어드레스(Add_Col, /Add_Col)를 순차적으로 래치하기 위해 직렬연결된 제1 내지 제4 래치(210 ~ 240)와, 에디티브레이턴시가 2인 경우(AL2)에 제2 래치(220)의 출력을 내부컬럼어드레스(Col_int)로 출력하기 위한 전송게이트(T9)와, 에디티브레이턴시가 3인 경우(AL3)에 제4 래치(240)의 출력을 내부컬럼어드레스(Col_int)로 출력하기 위한 전송게이트(T10)를 구비한다.

<101> 도12에 도시된 바와 같이, 에디티브 레이턴시가 0 또는 1인 경우에는 입력된 컬럼어드레스(Add_col)는 전송게이트(T8)에 의해 래치되지 않고, 바로 내부컬럼어드레스(Col_int)로 전달

된다. 에디티브 레이턴시가 2인 경우에는 컬럼어드레스(Add_col)는 래치(210,220)에 의해 클럭 신호의 한주기 동안 래치되었다가 전송게이트(T9)에 의해 내부컬럼어드레스(Col_int)로 전달된다.

<102> 에디티브 레이턴시가 3인 경우에는 컬럼어드레스(Add_col)는 래치(210,220, 230,240)에 의해 클럭신호의 두주기 동안 래치되었다가 전송게이트(T10)에 의해 내부컬럼어드레스(Col_int)로 전달된다. 따라서 도12에 도시된 컬럼어드레스제어부(200)는 컬럼어드레스(Add_Col)를 입력받아 tRCD 타이밍보다 한클럭 앞선 타이밍에 내부컬럼어드레스(Col_int)로 출력될 수 있는 것이다.

<103> 도13은 도7에 도시된 컬럼액티브래치의 일부를 나타내는 회로도로서, 특히 내부리드 명령어신호(Read_int)를 출력하기 위한 회로도이다.

<104> 도13을 참조하여 살펴보면, 컬럼액티브래치(100)는 입력된 커맨드신호를 디코딩하여 리드명령에 대응하는 신호(rd)를 생성하여 출력하기 위한 명령어해석부(150)와, 에디티브레이턴시가 0 또는 1인 경우 명령어해석부(150)에서 생성된 신호(cd)를 내부리드 명령어신호(READ_int)로 출력하기 위한 전송게이트(T12)와, 클럭신호의 천이마다 명령어해석부(150)에서 생성된 신호(cd)를 순차적으로 래치하기 위해 직렬연결된 제1 내지 제4 래치(110 ~ 140)와, 에디티브레이턴시가 2인 경우(AL2)에 제2 래치(120)의 출력을 내부리드 명령어신호(READ_int)로 출력하기 위한 전송게이트(T13)와, 에디티브레이턴시가 3인 경우(AL3)에 제4 래치(140)의 출력을 내부리드 명령어신호(READ_int)로 출력하기 위한 전송게이트(T13)를 구비한다.

<105> 도12에 도시된 바와 같이, 명령어해석부(150)에서는 카스신호(CAS_DELAY), 라스신호(RAS_DELAY), 칩선택신호(CS_DELAY), 라이트인에이블신호(WE_DELAY)등을 조합하여, 입력된 리

드명령에 대응하는 신호(rd)를 생성하고, 생성된 신호(rd)는 직렬연결된 래치(110 ~ 140)에 의해 순차적으로 래치된다.

<106> 에디티브 레이턴시가 0 또는 1인 경우에는 리드명령에 대응하는 신호(rd)는 전송게이트(T12)에 의해서 래치를 거치지 않고, 바로 내부리드 명령어신호(READ_int)로 전달된다. 에디티브 레이턴시가 2인 경우에는 리드명령에 대응하는 신호(rd)는 래치(110,120)에 의해 클럭신호의 한주기 동안 래치되었다가 전송게이트(T13)에 의해 내부리드 명령어신호(READ_int)로 전달된다.

<107> 에디티브 레이턴시가 3인 경우에는 리드명령에 대응하는 신호(rd)는 래치(110,120,130,140)에 의해 클럭신호의 두주기 동안 래치되었다가 전송게이트(T13)에 의해 내부리드 명령어신호(READ_int)로 전달된다. 따라서 도13에 도시된 컬럼액티브래치(100)는 입력된 리드명령에 응답하여 tRCD 타이밍보다 한클럭 앞선 타이밍에 내부리드 명령어신호(READ_int)로 출력될 수 있는 것이다.

<108> 도12와 도13에 도시된 회로를 이용하면, 내부명령어신호(READ_int)와 내부컬럼어드레스(Col_int)를 tRCD보다 한클럭 앞선타이밍에 생성하여 출력할 수 있으므로 해서 전술한 바와 같은 어드레스 액세스타이밍을 줄일 수 있는 본 발명의 메모리 장치를 구현할 수 있다.

<109> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**【발명의 효과】**

- <110> 본 발명에 의해서 에디티브레이턴시를 가지는 동기식 메모리 장치의 어드레스 액세스 타이밍을 줄일 수 있어, 메모리 장치의 동작속도를 높일 수 있다.
- <111> 특히 본 발명은 입력된 명령과 어드레스를 tRCD 타이밍보다 한클럭 이전타이밍부터 내부 컬럼동작을 수행하게 함으로서, 종래의 동기식 메모리 장치의 구조를 대부분 그대로 사용할 수 있어, 각 구성 회로의 특성을 변화시키지 않고도 어드레스 액세스타이밍을 줄일 수 있다.
- <112> 본 발명에 의해 디디알 동기식 메모리 장치의 어드레스 액세스타이밍(tAA)이 12ns가 되는 제품을 공급할 수 있게 되었다.
- <113> 또한 본 발명에 의해서 메모리 장치의 각 회로부분에 종전보다 동작상의 여유마진을 확보해줄 수 있어, 보다 안정적인 동작이 가능하고, 이로 인하여 수율이 향상되는 것을 기대할 수 있다.

【특허청구범위】**【청구항 1】**

에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 동기식 메모리 장치에 있어서,

상기 에디티브 레이턴시가 0이 아닌 경우, 리드 또는 라이트 명령에 대응하는 내부컬럼 동작을 tRCD 타이밍 이전의 예정된 타이밍에 수행하도록 제어하는 제어수단을 구비하는 동기식 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 명령어 신호에 대응하는 내부동작을 tRCD 타이밍 이전의 한클럭을 기준으로 상기 내부컬럼동작을 수행하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 3】

에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 동기식 메모리 장치에 있어서,

리드 또는 라이트명령에 대응하는 내부동작을 제어하기 위한 내부명령어신호를 출력하되, 상기 에디티브 레이턴시가 0이 아닌 경우 tRCD 타이밍 이전의 예정된 타이밍에 상기 내부명령어신호를 출력하는 컬럼액티브래치;



컬럼어드레스를 입력받아 카운팅하여 내부컬럼어드레스를 출력하되, 상기 에디티브 레이턴시가 0이 아닌경우 상기 tRCD 타이밍 이전의 예정된 타이밍에 내부컬럼어드레스를 출력하는 컬럼어드레스 제어부;

상기 내부명령어신호에 응답하여, 상기 내부컬럼어드레스를 프리디코딩한 프리디코딩신호를 출력하는 컬럼프리디코더; 및

상기 프리디코딩신호를 디코딩하여 출력하는 컬럼메인디코더

를 구비하는 동기식 메모리 장치.

【청구항 4】

제 3 항에 있어서,

상기 tRCD 타이밍 이전의 예정된 타이밍은 tRCD 타이밍 이전의 한클럭을 기준으로 하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 5】

제 3 항에 있어서,

상기 컬럼액티브레치는

상기 에디티브 레이턴시가 0인 경우에 tRCD타이밍에 상기 내부명령어신호를 출력하기 위한 제1 명령어생성부; 및



상기 에디티브 레이턴시가 0이 아닌 경우에 상기 tRCD 타이밍이전의 예정된타이밍에 상기 내부명령어신호를 출력하기 위한 제2 명령어생성부를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 제2 명령어생성부에서 출력되는 내부명령어신호를 tRCD 타이밍이전의 예정된 타이밍보다 적은 타이밍만큼 지연시켜 상기 컬럼프리디코더로 출력하는 지연부를 더 구비하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 7】

제 3 항 또는 제 5 항에 있어서,

상기 컬럼어드레스 제어부는

상기 에디티브 레이턴시가 0인 경우에, 상기 입력된 컬럼어드레스를 지연없이 상기 내부 컬럼어드레스로 출력시키는 제1 어드레스 전송부; 및

상기 에디티브 레이턴시가 0이 아닌 경우에, 상기 tRCD 타이밍이전의 예정된 타이밍에 상기 컬럼어드레스를 상기 내부컬럼어드레스로 출력시키기 위한 제2 어드레스 전송부를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 8】

제 5 항에 있어서,



상기 컬럼프리디코더는

상기 내부컬럼어드레스가 리페어된어드레스인지 판단하기 위한 리페어 어드레스 비교부;

상기 내부컬럼어드레스를 입력받아 프리디코딩하는 노멀프리디코더; 및

상기 리페어어드레스 비교부에 의해 상기 내부컬럼어드레스가 리페어된 어드레스인 경우 상기 내부컬럼어드레스에 대응하여 대체된 리페어어드레스를 프리디코딩하기 위한 리페어프리디코더를 구비하며,

상기 노멀프리디코더와 리페어프리디코더는 상기 제1 명령어생성부에서 출력되는 내부명령어신호 또는 상기 제2 명령어생성부에서 출력되는 내부명령어신호에 응답하여 프리디코딩 동작을 수행하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 9】

제 3 항에 있어서,

상기 컬럼프리디코더는

상기 에디티브레이턴시에 대한 정보를 입력받아, 상기 에디티브레이턴시가 0인 경우와 0이 아닌 경우에 각각 서로 다른 타이밍에, 상기 내부컬럼어드레스를 입력받아 프리디코딩한 프리디코딩신호를 출력하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 10】

제 3 항에 있어서,

상기 컬럼어드레스 제어부는



상기 에디티브레이턴시가 0 또는 1 인경우 상기 입력된 컬럼어드레스를 상기 내부컬럼어드레스로 출력하기 위한 제1 전송게이트;

클럭신호의 천이마다 상기 컬럼어드레스를 순차적으로 래치하기 위해 직렬연결된 제1 내지 제4 래치;

상기 에디티브레이턴시가 2인 경우에 상기 제2 래치의 출력을 상기 내부컬럼어드레스로 출력하기 위한 제2 전송게이트; 및

상기 에디티브레이턴시가 3인경우에 상기 제4 래치의 출력을 상기 내부컬럼어드레스로 출력하기 위한 제3 전송게이트를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 11】

제 3 항에 있어서,

상기 컬럼액티브래치는

입력된 커맨드신호를 디코딩하여, 리드명령 또는 라이트명령에 대응하는 신호를 생성하여 출력하기 위한 명령어해석부;

상기 에디티브레이턴시가 0 또는 1 인 경우 상기 명령어해석부에서 생성된 신호를 상기 내부명령어신호로 출력하기 위한 제1 전송게이트;

클럭신호의 천이마다 상기 명령어해석부에서 생성된 신호를 순차적으로 래치하기 위해 직렬연결된 제1 내지 제4 래치;

상기 에디티브레이턴시가 2인 경우에 상기 제2 래치의 출력을 상기 내부명령어신호로 출력하기 위한 제2 전송게이트; 및

상기 에디티브레이턴시가 3인 경우에 상기 제4 래치의 출력을 상기 내부명령어신호로 출력하기 위한 제3 전송게이트를 구비하는 것을 특징으로 하는 동기식 메모리 장치.

【청구항 12】

에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 메모리 장치의 구동방법에 있어서,

로우액티브명령에 대응하여 로우액티브동작을 수행하는 단계; 및

에디티브 레이턴시가 1이 아닌 경우, 리드 또는 라이트 명령에 대응하는 내부컬럼동작을 tRCD 타이밍 이전의 예정된 타이밍부터 수행하는 단계

를 포함하는 메모리 장치의 구동방법.

【청구항 13】

제 12 항에 있어서,

상기 tRCD 타이밍 이전의 예정된 타이밍은 tRCD 타이밍 이전 한클럭을 기준으로 하는 것을 특징으로 하는 메모리 장치의 구동방법.

【청구항 14】

제 12 항에 있어서,

상기 에디티브 레이턴시가 0인 경우 리드 또는 라이트 명령에 대응하는 내부동작을 상기 tRCD 타이밍부터 수행하는 단계를 더 포함하는 것을 특징으로 하는 메모리 장치의 구동방법.

【청구항 15】

에디티브 레이턴시를 가지고 리드 또는 라이트 명령이 입력되는 메모리 장치의 구동방법에 있어서,

로우액티브명령에 대응하여 로우액티브동작을 수행하는 단계;

에디티브 레이턴시가 1이상인 경우, 리드 또는 라이트 명령에 대응하는 내부명령어 신호를 tRCD 타이밍 이전의 예정된 타이밍에 생성하는 단계;

에디티브 레이턴시가 1이상인 경우, 컬럼어드레스를 카운팅한 내부컬럼어드레스를 상기 tRCD 타이밍 이전의 예정된 타이밍에 생성하는 단계;

상기 내부 명령어 신호에 응답하여 상기 내부컬럼어드레스를 프리디코딩하는 단계; 및

상기 프리디코딩된 신호를 디코딩하는 단계

를 포함하는 동기식 메모리 장치의 구동방법.

【청구항 16】

제 15 항에 있어서,

상기 tRCD 타이밍 이전의 예정된 타이밍은 tRCD 타이밍의 이전의 한클럭을 기준으로 하는 것을 특징으로 하는 메모리 장치의 구동방법.



1020030092571

출력 일자: 2004/2/19

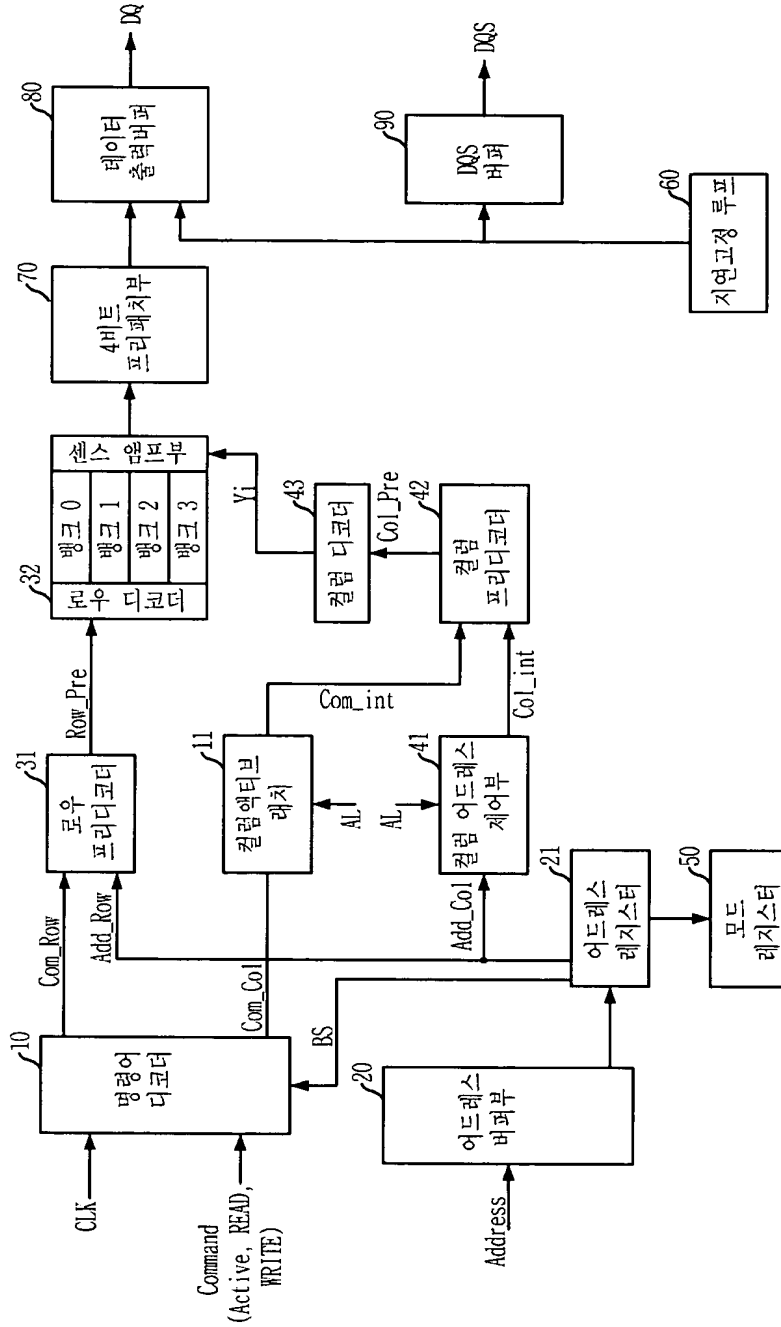
【청구항 17】

제 15 항에 있어서,

상기 에디티브 레이턴시가 0인 경우 리드 또는 라이트 명령에 대응하는 내부명령어 신호를 tRCD 타이밍에 생성하는 단계를 더 포함하는 것을 특징으로 하는 메모리 장치의 구동방법.

【도면】

【도 1】

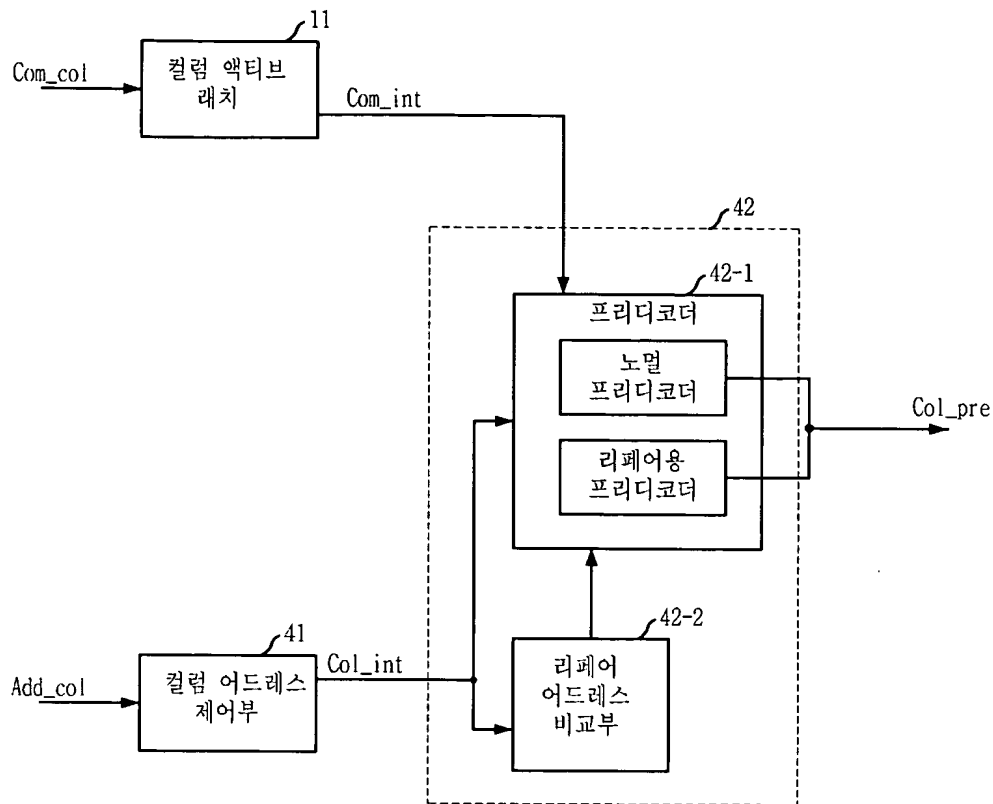




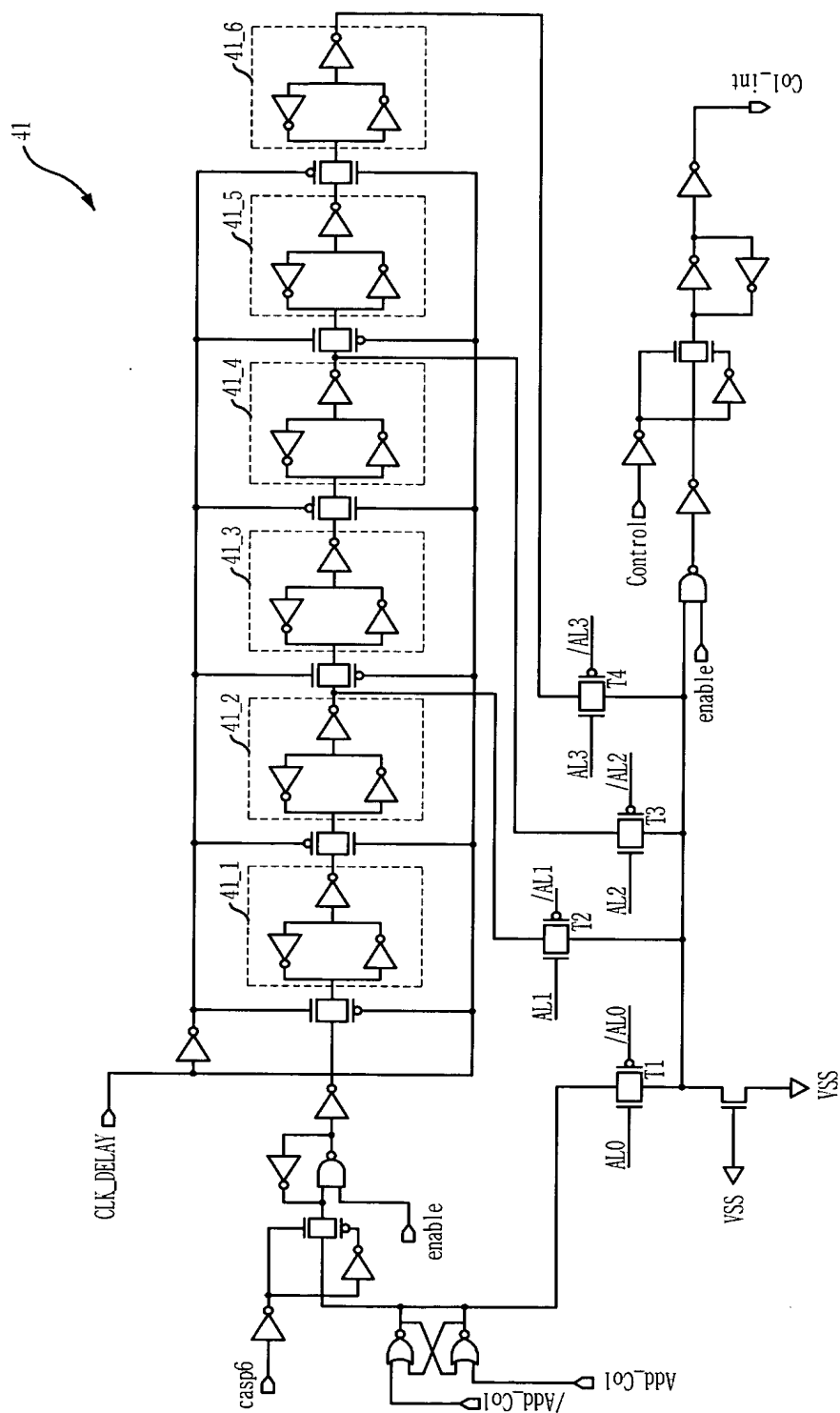
1020030092571

출력 일자: 2004/2/19

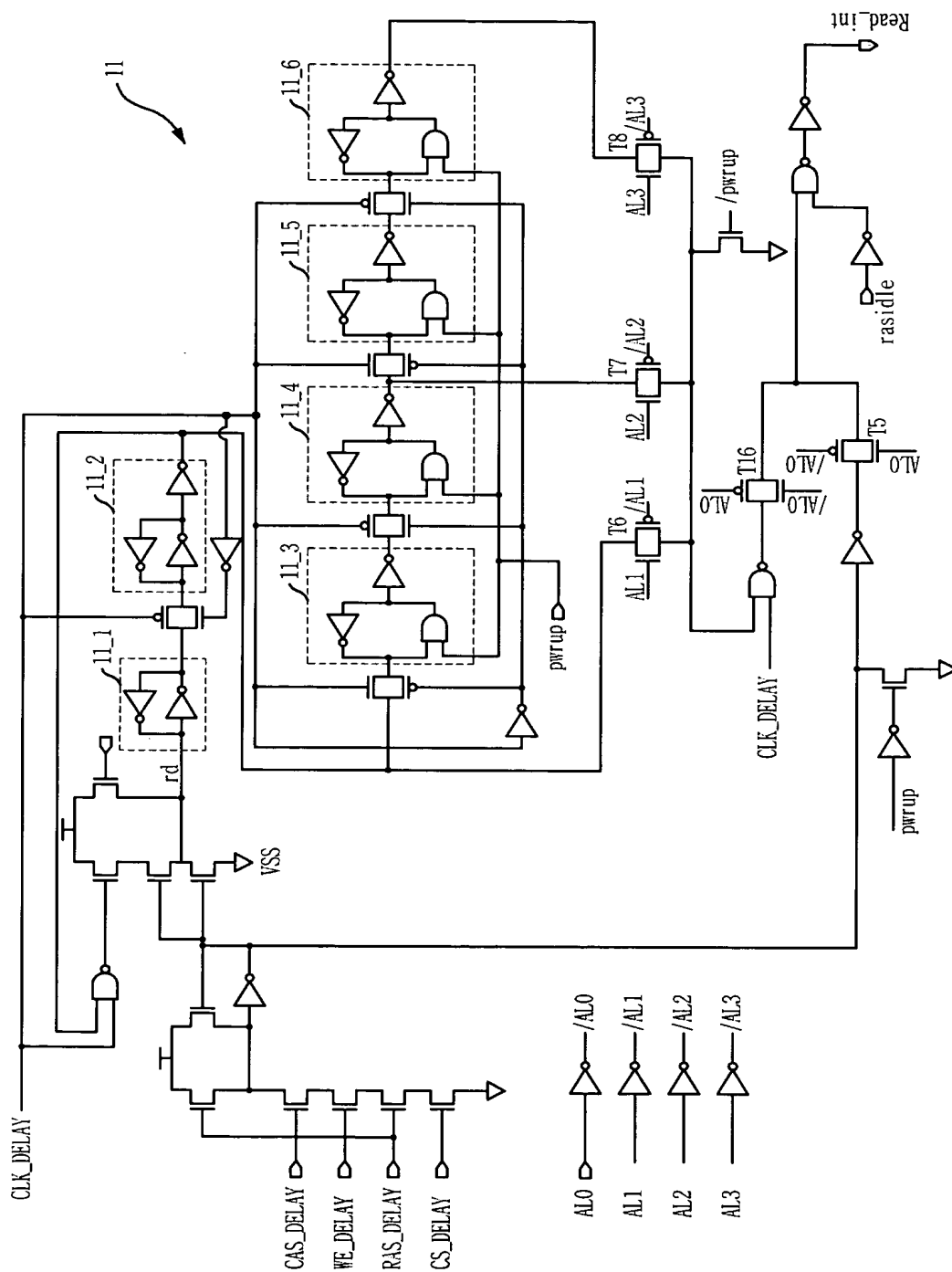
【도 2】



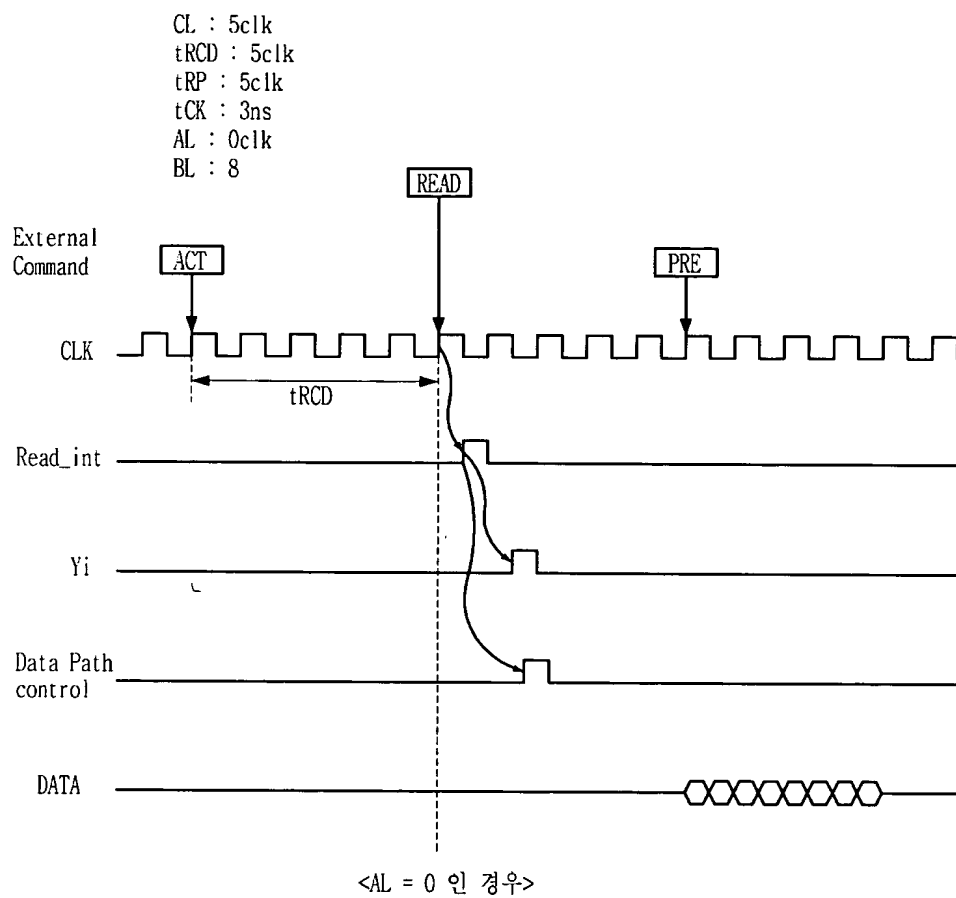
【도 3】



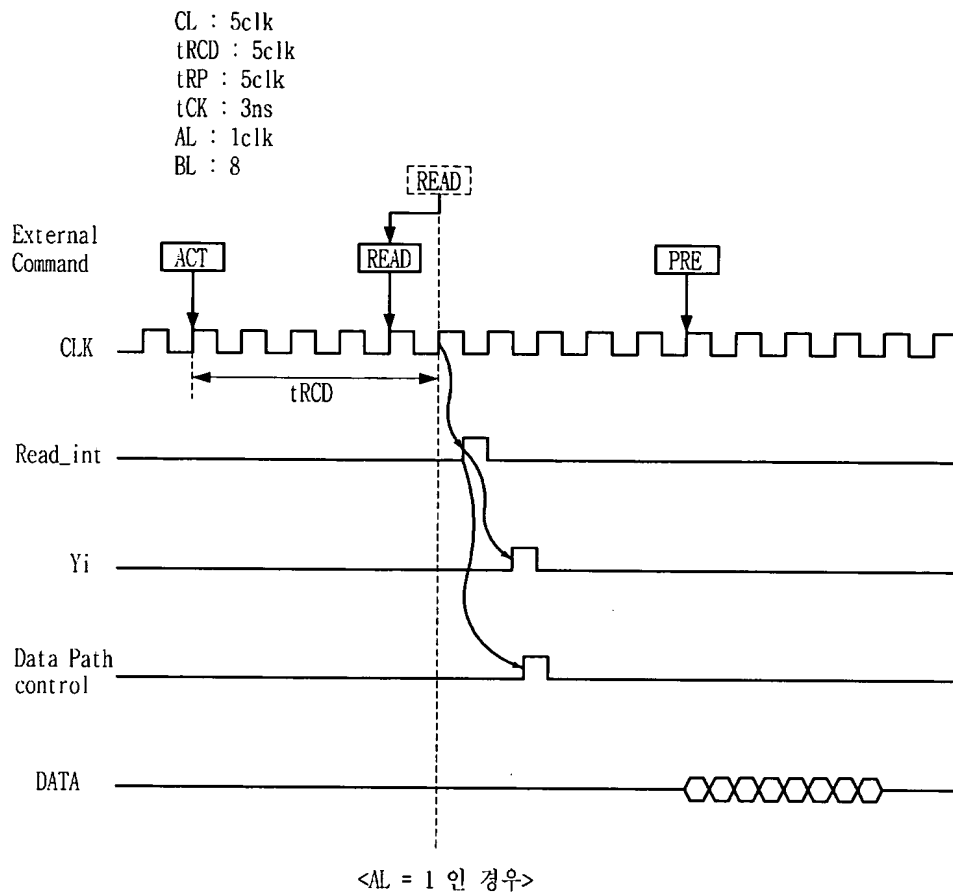
【도 4】



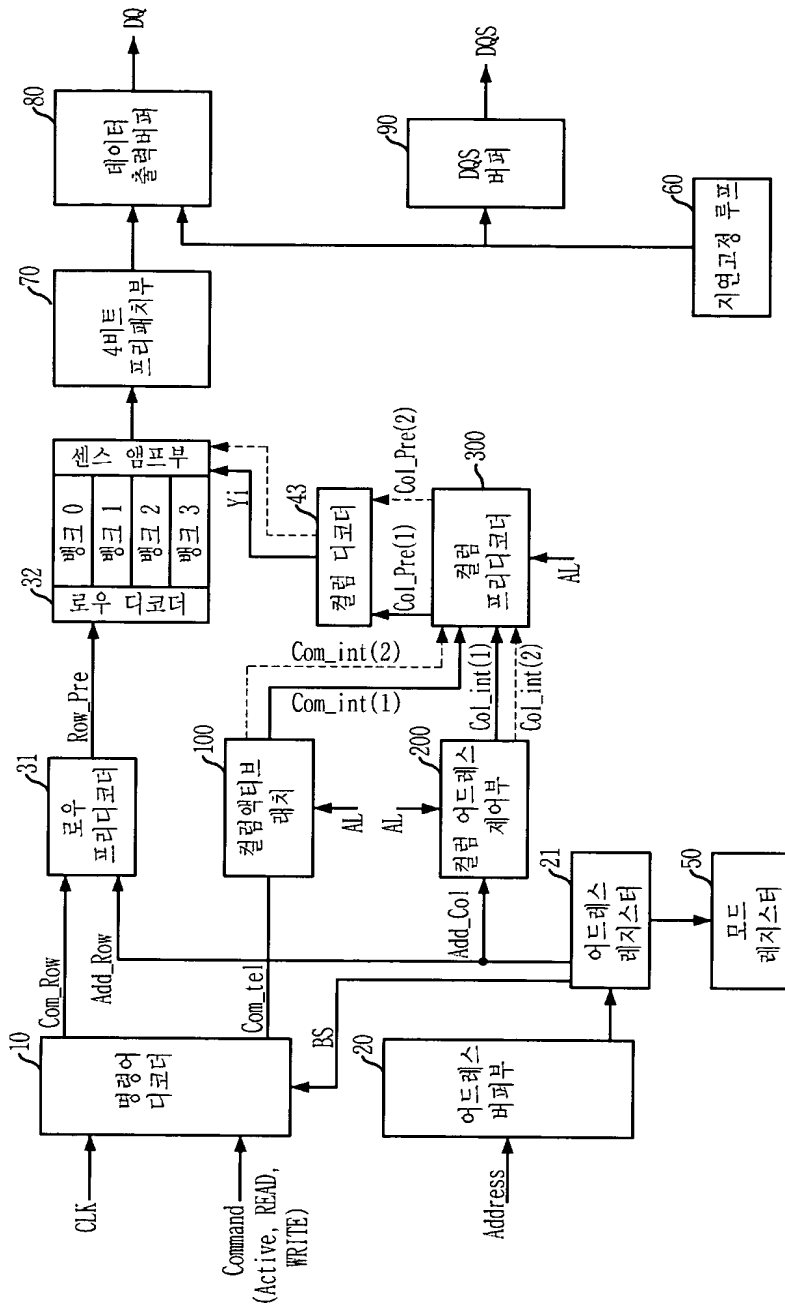
【도 5】



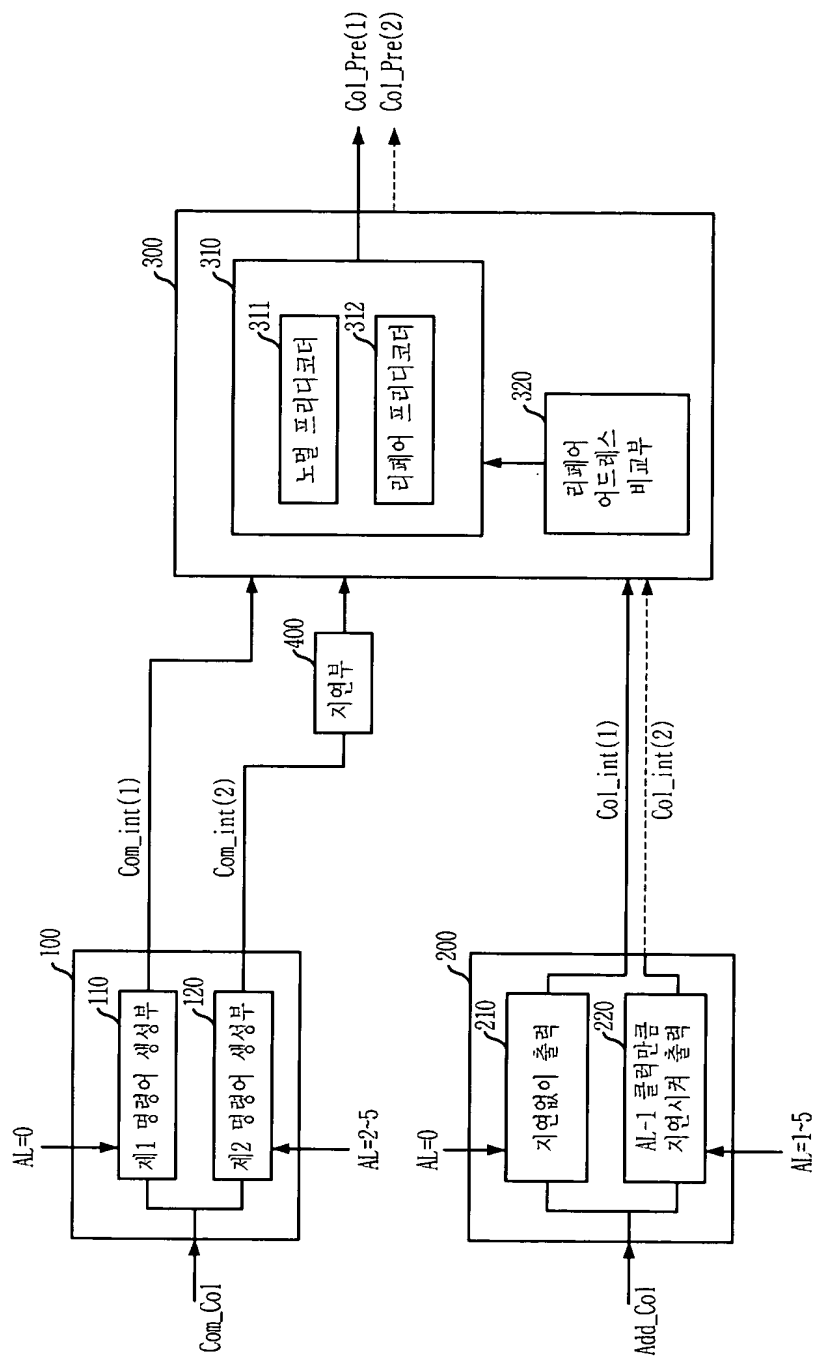
【도 6】



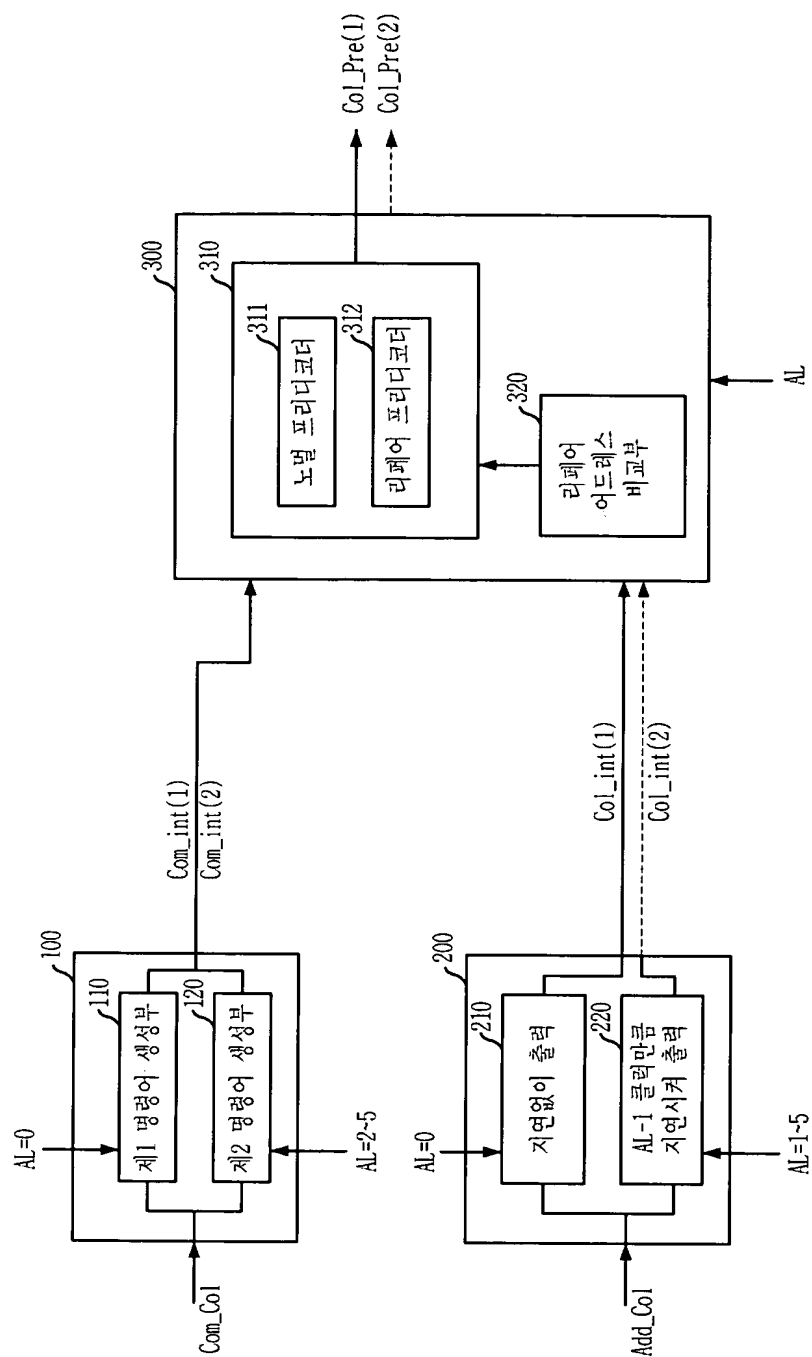
【도 7】



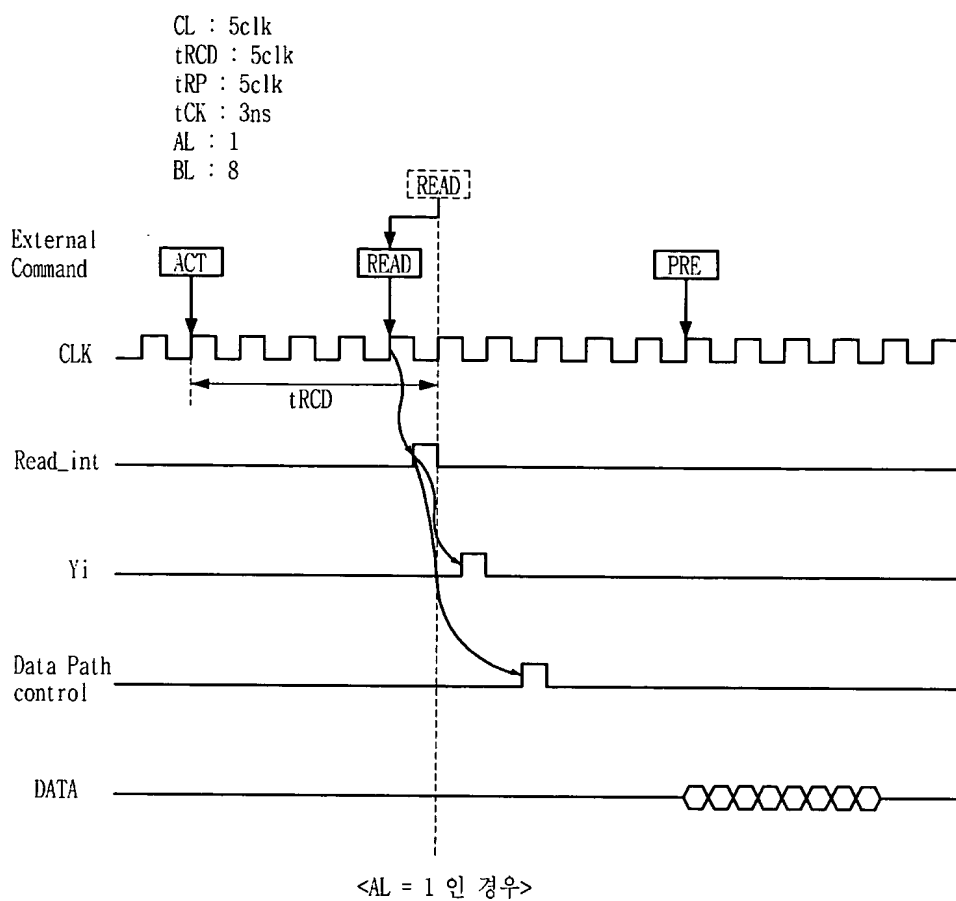
【도 8a】



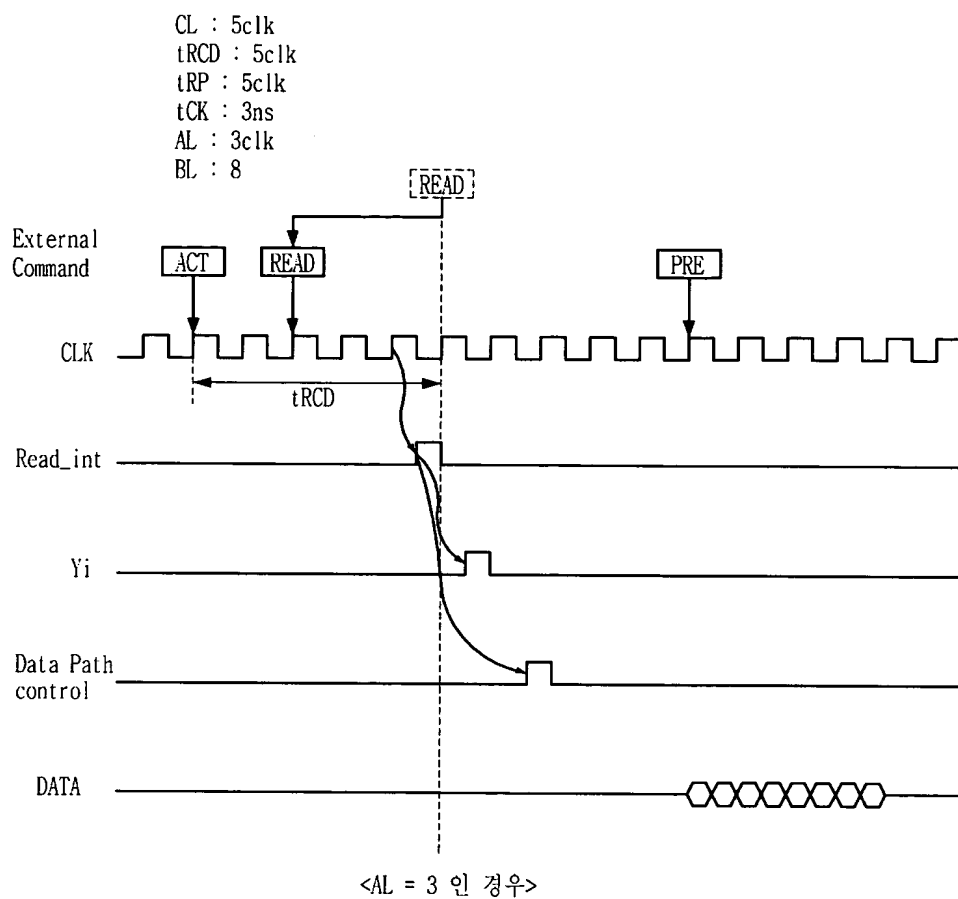
【도 8b】



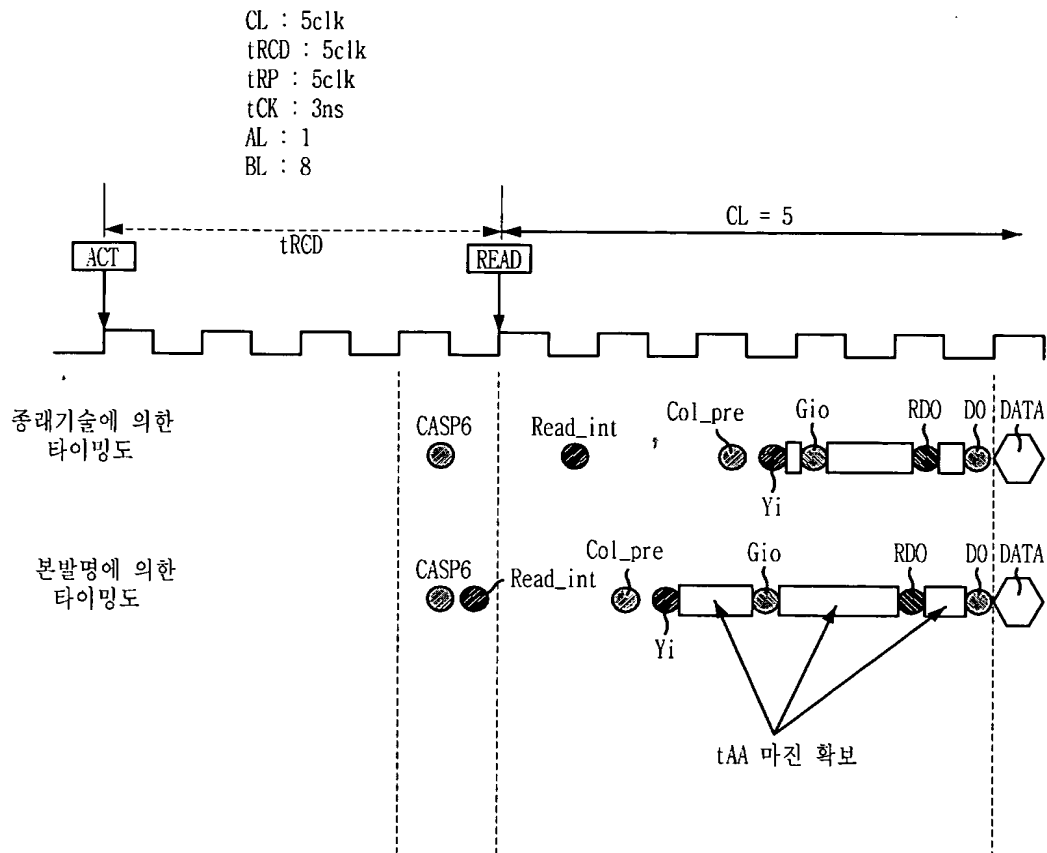
【도 9】



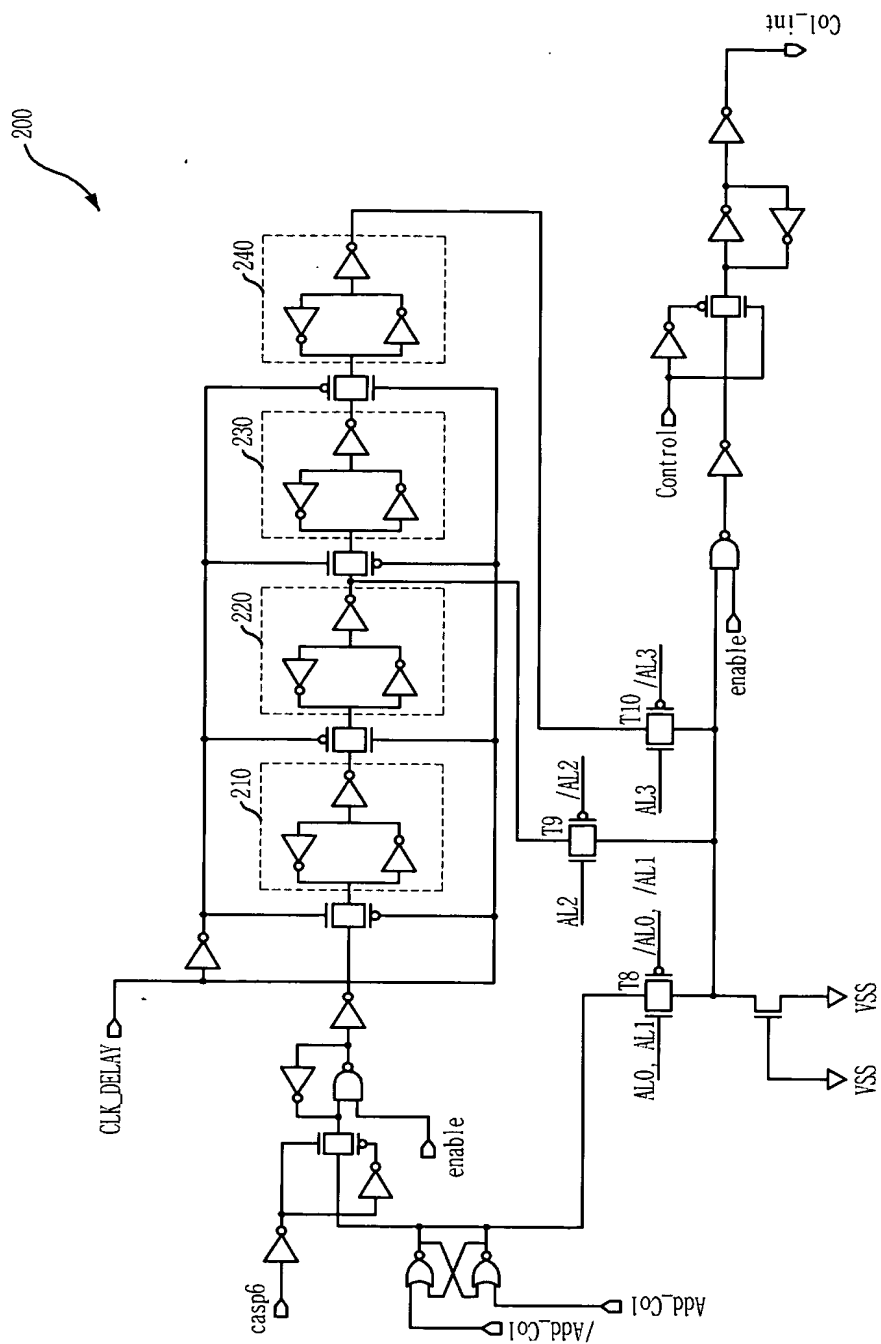
【도 10】



【도 11】



【도 12】



【도 13】

